



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000124163 A**(43) Date of publication of application: **28.04.00**(51) Int. Cl. **H01L 21/301**(21) Application number: **10294970**(71) Applicant: **SONY CORP**(22) Date of filing: **16.10.98**(72) Inventor: **NAKANO SEIJI**(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

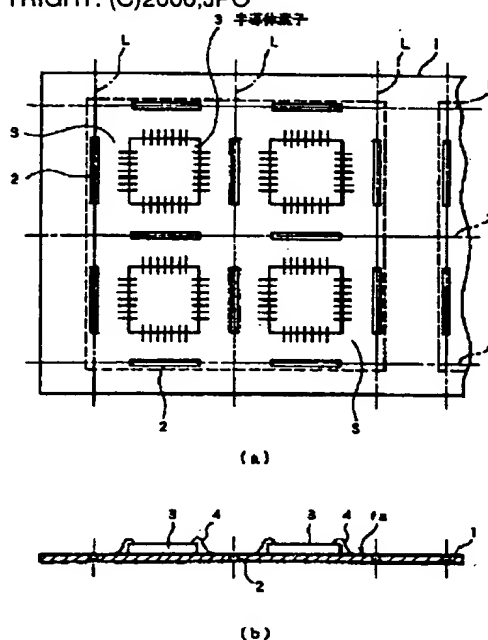
section lines L for sectioning the regions S.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To effectively prevent the occurrence of cracks in a package and the generation of peel-offs of the package from a substrate due to increase in internal stress, when the side of the element mounting surface of the substrate is resin-sealed, even when a batch-sealing system capable of sharing a molding metal mold therewith is adopted.

SOLUTION: In this method, the manufacture of a semiconductor device of a structure, wherein in a substrate 1 sectioned into a plurality of element-mounting regions S, a semiconductor element 3 is mounted each element-mounting region S and after the side of a element mounting surface (fa) of the substrate 1 is resin-sealed, in a state that at least the two regions S or more are covered with the surface (fa) in batch, the substrate 1 is split along section lines L for sectioning a plurality of the regions S, is conducted. In this case, before the side of the element mounting surface (fa) is resin-sealed, slit-shaped through-holes 2 are formed in the substrate 1 along the



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-124163

(P2000-124163A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl.⁷

識別記号

FI

テマコード(参考)

H01L 21/301

H01L 21/78

L

Q

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特願平10-294970

(22)出願日 平成10年10月16日(1998.10.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中野 征治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100086298

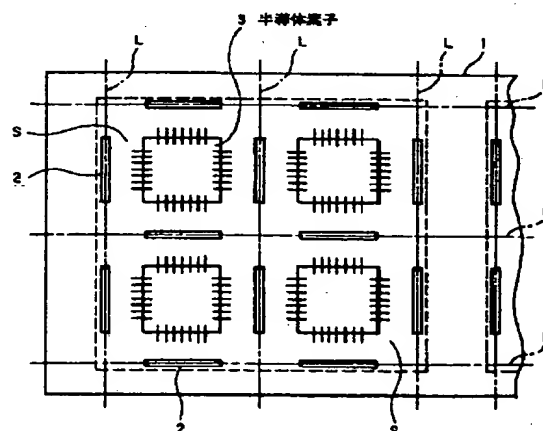
弁理士 船橋 國則

(54)【発明の名称】 半導体装置及びその製造方法

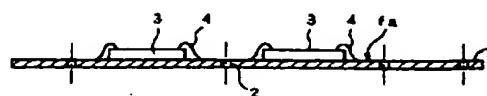
(57)【要約】

【課題】 成形金型を共用できる一括封止方式を採用すると、樹脂封止時の内部応力の増加によりパッケージラックやパッケージ剥離が発生しやすくなる。

【解決手段】 複数の素子搭載領域Sに区画された基板1に対し、各々の素子搭載領域S内に半導体素子3を搭載し、その素子搭載面fa側を少なくとも2つ以上の素子搭載領域Sを一括に覆う状態で樹脂封止した後、複数の素子搭載領域Sを区画する区画ラインLに沿って基板1を分割する半導体装置の製造方法において、樹脂封止する前に、素子搭載領域Sを区画する区画ラインLに沿って基板1にスリット状の貫通穴2を形成しておく。



(a)



(b)

【特許請求の範囲】

【請求項1】 複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、前記複数の素子搭載領域を区画する区画ラインに沿って前記基板を分割する半導体装置の製造方法において、

前記樹脂封止する前に、前記素子搭載領域を区画する区画ラインに沿って前記基板に貫通穴を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記基板に前記貫通穴を形成する際に、前記基板の素子搭載面側の穴径よりも、その裏面側の穴径が大きくなるように形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記貫通穴の内面を、樹脂封止材料との密着性が高い材料でメッキ処理することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、前記複数の素子搭載領域を区画する区画ラインに沿って前記基板を分割する半導体装置の製造方法において、前記樹脂封止する前に、前記基板の各々の素子搭載領域の周縁部を、樹脂封止材料との密着性が高い材料でメッキ処理することを特徴とする半導体装置の製造方法。

【請求項5】 複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、前記複数の素子搭載領域を区画する区画ラインに沿って前記基板を分割する半導体装置の製造方法において、前記樹脂封止する前に、前記基板の各々の素子搭載領域の周縁部に、樹脂封止材料との密着性が高い接触シートを貼着することを特徴とする半導体装置の製造方法。

【請求項6】 個片基板と、前記個片基板に搭載された半導体素子と、前記個片基板の素子搭載面の全域を樹脂封止するモールド樹脂とを有し、前記個片基板の外周部を前記モールド樹脂で被覆し、その被覆部分で前記個片基板と前記モールド樹脂とを互いに掛止してなることを特徴とする半導体装置。

【請求項7】 個片基板と、前記個片基板に搭載された半導体素子と、前記個片基板の素子搭載面の全域を樹脂封止するモールド樹脂とを有し、前記個片基板の周縁部でかつ該個片基板と前記モールド樹脂との界面に接着シートを介装してなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、樹脂封止型の半導体装置とその製造方法に関する。

【0002】

05 【従来の技術】一般に、樹脂封止型の半導体装置では、リードフレーム或いは樹脂製の基板に半導体素子を搭載し、これを成形金型にセットして熱硬化性樹脂（エポキシ系樹脂等）により樹脂封止している。また、樹脂製の基板を用いた半導体装置では、半導体素子が搭載された面、すなわち片面のみを樹脂封止したもの（以下、片面樹脂封止タイプと称す）がある。

10 【0003】従来、片面樹脂封止タイプの半導体装置を製造する場合は、図13（a）、（b）に示すように、樹脂基板（以下、単に基板と称す）51上に複数の半導体素子52を搭載し、これをワイヤボンディングしたのち、基板51を成形金型の上型53と下型54とでクランプする。次に、成形金型のゲート55を通してキャピティ56にモールド樹脂57を注入・充填し、これによって各半導体素子52を樹脂封止する。また、樹脂封止後においては、各々のモールド樹脂57の外形部分に沿って基板51をプレス加工で打ち抜くことにより、個片に分割する。

15 【0004】ところで、上述のように複数の半導体素子52を基板51上で個別に樹脂封止する方式（以下、個別封止方式と言う）では、樹脂封止の対象となる半導体素子52のサイズ等が変更になった場合に、変更前に使用していた成形金型ではキャピティ56のサイズが素子サイズに適合しなくなるため、新たに成形金型を作製する必要がある。また、各種サイズの半導体素子52を樹脂封止するためには、それぞれの素子サイズ毎に専用の成形金型を用意する必要がある。

20 【0005】そこで従来においては、図14（a）、（b）に示すように、基板51上に搭載された複数の半導体素子52のうち、例えば互いに隣り合う6つの半導体素子52を一つの組として同じキャピティ56内に配置し、各組毎に一体構造のモールド樹脂57によって一括に樹脂封止する方式（以下、一括封止方式と言う）がある。この一括封止方式では、樹脂封止後に、基板51を所定の区画ラインに沿って分割（切断）することにより、上記個別封止方式と同様の構造の半導体装置が得られる。図15はその具体的な構造を示すもので、図示した半導体装置では、個片基板51aに半導体素子52が搭載され、その素子搭載面の全域がモールド樹脂57により樹脂封止された構造となっている。

25 30 35 40 45 50 【0006】上記一括封止方式によれば、樹脂封止の対象となる半導体素子52のサイズ等が変更になった場合でも、ベースとなる基板（分割前の基板）51上における各組の半導体素子52の配列ピッチや個数などを適宜変更することにより、同一の成形金型を用いて各種サイズの半導体素子52を樹脂封止することができるため、

金型製作にかかる設備コストを大幅に削減することが可能となる。

【0007】

【発明が解決しようとする課題】しかしながら、上記一括封止方式を採用した場合には、上記個別封止方式と比較して、基板51上でのモールド樹脂57による樹脂封止領域が拡大するため、樹脂封止時に基板51とモールド樹脂57との熱膨張係数差で生じる内部応力が増大してしまう。その結果、樹脂封止後に基板51に反りが生じたり、基板51をダイシング装置で分割するときに、上記内部応力によって発生する歪みでパッケージクラックやパッケージ剥離が発生しやすくなる。

【0008】

【課題を解決するための手段】請求項1記載の発明は、複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、複数の素子搭載領域を区画する区画ラインに沿って基板を分割する半導体装置の製造方法において、樹脂封止する前に、素子搭載領域を区画する区画ラインに沿って基板に貫通穴を形成するようにしたものである。

【0009】この半導体装置の製造方法においては、素子搭載領域を区画する区画ラインに沿って基板に貫通穴を形成しておくことで、樹脂封止時に生じる内部応力が貫通穴で分散される。また、基板を分割する際には、内部応力によって発生する歪みのストレスが貫通穴によって開放される。

【0010】請求項4記載の発明は、複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、複数の素子搭載領域を区画する区画ラインに沿って基板を分割する半導体装置の製造方法において、樹脂封止する前に、基板の各々の素子搭載領域の周縁部を、樹脂封止材料との密着性が高い材料でメッキ処理するようにしたものである。

【0011】この半導体装置の製造方法においては、基板の各々の素子搭載領域の周縁部を、樹脂封止材料との密着性が高い材料でメッキ処理しておくことにより、樹脂封止時には、素子搭載領域の周縁部において、樹脂封止材料と基板との間に高い接着強度が得られる。

【0012】請求項5記載の発明は、複数の素子搭載領域に区画された基板に対し、各々の素子搭載領域内に半導体素子を搭載し、その素子搭載面側を少なくとも2つ以上の素子搭載領域を一括に覆う状態で樹脂封止した後、複数の素子搭載領域を区画する区画ラインに沿って基板を分割する半導体装置の製造方法において、樹脂封止する前に、基板の各々の素子搭載領域の周縁部に、樹脂封止材料との密着性が高い接触シートを貼着するよう

にしたものである。

【0013】この半導体装置の製造方法においては、基板の各々の素子搭載領域の周縁部に、樹脂封止材料との密着性が高い接触シートを貼着しておくことにより、樹脂封止時には、素子搭載領域の周縁部において、樹脂封止材料と基板との間に高い接着強度が得られる。

【0014】請求項6記載の半導体装置においては、個片基板と、この個片基板に搭載された半導体素子と、個片基板の素子搭載面の全域を樹脂封止するモールド樹脂とを有し、個片基板の外周部をモールド樹脂で被覆し、その被覆部分で個片基板とモールド樹脂とを互いに掛止してなるものである。

【0015】この半導体装置においては、個片基板の外周部をモールド樹脂で被覆し、その被覆部分で個片基板とモールド樹脂とを互いに掛止したことにより、その掛止力が、パッケージクラックやパッケージ剥離に対する抵抗力となって作用する。

【0016】請求項7記載の半導体装置においては、個片基板と、この個片基板に搭載された半導体素子と、個片基板の素子搭載面の全域を樹脂封止するモールド樹脂とを有し、個片基板の周縁部でかつ該個片基板とモールド樹脂との界面に接着シートを介装してなるものである。

【0017】この半導体装置においては、個片基板の周縁部でかつ該個片基板とモールド樹脂との界面に接着シートを介装したことにより、その接着シートによる接着力が、パッケージクラックやパッケージ剥離に対する抵抗力となって作用する。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1乃至図3は、本発明に係る半導体装置の製造方法の第1実施形態を説明する図である。先ず、半導体装置の製造に際しては、ウエハからチップ状に切り出された複数の半導体素子と、これら複数の半導体素子を搭載するための基板を用意する。図1は本第1実施形態で採用した素子搭載用の基板構造を示すもので、(a)はその平面図、(b)はその側断面図である。

【0019】図示のように、基板1は長尺状の薄い平板構造をなすもので、その基材部分は例えば樹脂によって構成されている。この基板1は、図中一点鎖線で示した縦横の区画ラインLによって複数の素子搭載領域Sに区画されており、各々の素子搭載領域S内にそれぞれ一つの半導体素子が搭載されるようになっている。さらに樹脂封止時には、互いに隣接して区画された4つの素子搭載領域Sを一括に覆う状態（図中破線で囲んだ大きさ）で、基板1の素子搭載面f a側が樹脂封止されるようになっている。

【0020】また、基板1には、各々の素子搭載領域Sを区画する区画ラインLに沿ってスリット状の貫通穴2

が形成されている。さらに詳述すると、各々の貫通穴2は、素子搭載領域S内に搭載される半導体素子（後述）を4方向から挟む状態で、それぞれ縦横の区画ラインL上に形成されている。これらの貫通穴2は、例えば基板1の外形加工（成形、打ち抜き等）と同時に、或いは基板1の外形加工後にプレスによる打ち抜きやドリルによる穴明け等で形成される。

【0021】次に、上述のように形状加工された基板1に対して、各々の素子搭載領域Sの中央部にダイボンダ材を塗布し、その上から、例えば吸着コレットにて吸着した半導体素子（チップ）3を載せて加熱・加圧することにより、図2（a）、（b）に示すように、基板1上の各々の素子搭載領域S内に半導体素子3をダイボンディングし固定する。さらに、こうして基板1上に搭載された半導体素子3と、基板1の素子搭載面faに形成された配線パターン（不図示）とを、金線等のワイヤ4を介して電氣的に接続（ワイヤボンディング）する。

【0022】続いて、素子搭載済の基板2を成形金型にセットして樹脂封止を行う。この樹脂封止に際しては、図3（a）、（b）に示すように、成形金型の上型5と下型6で基板1をクランプ（挟持）する。このとき、上型5に形成された各々のキャビティ7内には、それぞれ複数の半導体素子3が配置される。すなわち、図1の基板構造であれば、互いに隣接する素子搭載領域Sに搭載された4つの半導体素子3が一つのキャビティ7内に配置される。なお、図3においては、6つの半導体素子3が一つのキャビティ7に配置された状態を例示している。

【0023】このように成形金型（5、6）で基板1をクランプした状態で、それぞれのゲート8からキャビティ7へとモールド樹脂9を注入・充填することにより、基板1の素子搭載面fa側においては、各々のキャビティ7内に配置された複数の半導体素子3がそれらの素子搭載領域Sを含めて一括に覆われた状態で樹脂封止される。また、この樹脂封止に際しては、基板1に形成された貫通穴2にもモールド樹脂9が充填された状態となる。

【0024】このとき、基板1とモールド樹脂9との熱膨張係数の差によって内部応力が生じるが、樹脂封止に先立って基板1に貫通穴2を形成しておくことにより、樹脂封止時に発生する内部応力を分散することができる。これにより、樹脂封止時の内部応力に起因した基板1の反りと、これに伴うパッケージ剥離を有効に防止することが可能となる。

【0025】その後、複数の素子搭載領域Sを区画する区画ラインL（図1、図2参照）に沿って基板1を分割する。この分割加工は、例えば樹脂封止済の基板1をダイシング装置にセットし、高速回転する薄いブレード（ダイヤモンドブレード等）を縦横の区画ラインLに沿って移動させることにより行う。

【0026】このとき、先の樹脂封止時に貫通穴2の存在によって内部応力が分散され、しかも基板1をブレードで分割（切り込み）する際に、上記内部応力によって発生する歪みのストレスが貫通穴2によって開放されるようになるため、パッケージクラックの発生を有効に防止することが可能となる。

【0027】図4は基板分割後に得られた半導体装置の構造を示すもので、（a）はその斜視図、（b）はその側断面図である。図示した半導体装置においては、個片基板1aに半導体素子3が搭載され、その素子搭載面faの全域がモールド樹脂9により樹脂封止されている。また、個片基板1aの外周部は、そのコーナー部（4隅）を除いて、上記貫通穴2に充填されたモールド樹脂9により被覆されている。

【0028】なお、上記第1実施形態においては、基板1の形状加工において、素子搭載領域Sを区画する区画ラインLに沿ってスリット状の貫通穴2を形成するようにしたが、この貫通穴2の形状や配置については種々の変更が可能である。具体的には、例えば、図5（a）に示すように、区画ライン（不図示）に沿って円形の貫通穴2を所定のピッチで形成したり、同図（b）に示すように、円形の貫通穴2の形成位置を素子搭載領域Sのコーナー部に設定したものであってもよい。またこれ以外にも、図5（c）に示すように、素子搭載領域Sのコーナー部にスリット状の貫通穴2をL字形に形成したり、同図（d）に示すように、素子搭載領域Sの全周にわたって四角形の貫通穴2を所定のピッチで形成したものであってもよい。さらに、図示はしないが、スリット状の貫通穴と円形、四角形の貫通穴とを組み合わせ形成したものであってもよい。

【0029】また、上記第1実施形態の応用例として、基板1に貫通穴2を形成する場合、図6に示すように、基板1の素子搭載面faの穴径Gaよりも、その裏面fb側の穴径Gbが大きくなるように形成すると良い。ここで、貫通穴2がスリット状の場合は、そのスリット幅が穴径に相当したものとなり、貫通穴2が円形の場合は、その直径が穴径に相当したものとなり、貫通穴2が四角形の場合は、その一辺の長さが穴径に相当したものとなる。

【0030】このような寸法条件（ $G_a < G_b$ ）で基板1に貫通穴2を形成することにより、基板1を分割して得られた個々の半導体装置においては、図7に示すように、個片基板1aの外周部がモールド樹脂9で被覆されるとともに、個片基板1aの表裏面での穴径差によってモールド樹脂9が基板裏面fb側に回り込み、これによって個片基板1aの外周部でそこを被覆するモールド樹脂9と個片基板1aとが互いに掛止された状態となる。その結果、個片基板1aとモールド樹脂9との間に働く掛止力によってパッケージクラック及びパッケージ剥離を確実に防止することが可能となる。

【0031】なお、図6においては、基板1に形成される貫通穴2を段付構造とすることにより、素子搭載面f a側の穴径G aよりも、その裏面f b側の穴径G bが大きくなるように形成したが、これ以外にも、例えば図8 (a) に示すように、基板1の素子搭載面f aからその裏面f b側に向かって貫通穴2にテーパを付けたり、図8 (b) に示すように、基板1の裏面f b側の開口エッジ部分を面取した形で拡開させてG a < G bの寸法条件を満足させたものであっても良い。

【0032】また、本第1実施形態の他の応用例として、図9 (a), (b) に示すように、基板1に形成した貫通穴2の内面を、樹脂封止材料（エポキシ系樹脂等）との密着性が高い材料、例えば金（Au）にてメッキ処理し、これによって貫通穴2の内面に金のメッキ被膜2 aを形成しておけば、樹脂封止時には、貫通穴2に充填されたモールド樹脂9と基板1との接着強度が高まり、耐パッケージクラック性や耐パッケージ剥離性を向上させることが可能となる。ちなみに、樹脂封止材料との密着性が高い材料としては、金以外にも考えられるが、耐マイグレーションなどのメッキ被膜の安定性を考慮すると、メッキ材料としては金が望ましい。

【0033】続いて、本発明に係る半導体装置の製造方法の第2実施形態について説明する。図10は本第2実施形態で採用した素子搭載用の基板構造を示す要部平面図である。図において、基板1は縦横の区画ラインLによって複数の素子搭載領域S（図では1つのみ表示）に区画されており、この点については上記第1実施形態と同様である。ただし、上記第1実施形態においては、素子搭載領域Sを区画する区画ラインLに沿って貫通穴を形成したのに対し、本第2実施形態においては、各々の素子搭載領域Sの周縁部（図中ハッチング部分）S aに、樹脂封止材料（エポキシ系樹脂等）との密着性の高い材料、例えば金（Au）にてメッキ処理することとしている。

【0034】これにより、素子搭載領域S内に半導体素子を搭載してワイヤボンディングし、その後、複数の素子搭載領域Sを一括して樹脂封止する場合においては、各々の素子搭載領域Sの周縁部S aで基板1と樹脂封止材料（モールド樹脂）との接着強度を高めることができる。その結果、樹脂封止時に生じる内部応力や、基板1を分割する際に生じる歪みに対して、耐パッケージクラック性や耐パッケージ剥離性を向上させることが可能となる。また、上記第1実施形態と同様に区画ラインLに沿って貫通穴を形成し、この貫通穴を含めた素子搭載領域Sの周縁部に金メッキ処理等を施すようにしても、耐パッケージクラック性や耐パッケージ剥離性を向上させることが可能となる。

【0035】さらに、本発明の第3実施形態として、図11に示すように、基板1の素子搭載領域Sの周縁部に、樹脂封止材料との密着性が高い接着シート10を貼

着し、この状態で複数の素子搭載領域Sを覆う状態で樹脂封止するようにしても、各々の素子搭載領域Sの周縁部で基板1と樹脂封止材料（モールド樹脂）との接着強度を高めて、耐パッケージクラック性や耐パッケージ剥離性を向上させることが可能となる。

【0036】また、これによって得られた半導体装置では、図12に示すように、個片基板1 aの周縁部でかつ個片基板1 aとモールド樹脂9との界面に接着シート10が介装された構造となる。このパッケージ構造においては、接着シート10による接着力が、パッケージクラックやパッケージ剥離に対する抵抗力となって作用することから、例えば組立の完了した半導体装置をマザー基板等を実装する場合に、耐パッケージクラックや耐パッケージ剥離性を向上させることができる。

【0037】なお、上記各実施形態においては、いずれも基板1の素子搭載領域S内に搭載された半導体素子3をワイヤボンディングによって基板回路に電気的に接続するものについて説明したが、本発明はこれに限定されるものではなく、例えば基板1にフリップチップ方式にて半導体素子3を実装するものにも同様に適用可能である。

【0038】

【発明の効果】以上説明したように、請求項1記載の発明によれば、樹脂封止する前に、素子搭載領域を区画する区画ラインに沿って基板に貫通穴を形成することにより、樹脂封止時に生じる内部応力を貫通穴で分散することができるとともに、基板を分割する際に、内部応力によって発生する歪みのストレスを貫通穴によって開放することができる。これにより、一括封止方式を採用した場合でも、パッケージクラック及びパッケージ剥離を有効に防止することが可能となる。

【0039】請求項4記載の発明によれば、樹脂封止する前に、基板の各々の素子搭載領域の周縁部を、樹脂封止材料との密着性が高い材料でメッキ処理することにより、樹脂封止時には、素子搭載領域の周縁部で樹脂封止材料と基板との間に高い接着強度が得られ、これによってパッケージクラック及びパッケージ剥離を有効に防止することが可能となる。

【0040】請求項5記載の発明によれば、樹脂封止する前に、基板の各々の素子搭載領域の周縁部に、樹脂封止材料との密着性が高い接触シートを貼着することにより、樹脂封止時には、素子搭載領域の周縁部で樹脂封止材料と基板との間に高い接着強度が得られ、これによってパッケージクラック及びパッケージ剥離を有効に防止することが可能となる。

【0041】請求項6記載の発明によれば、個片基板の外周部をモールド樹脂で被覆し、その被覆部分で個片基板とモールド樹脂とを互いに掛止したことにより、耐パッケージクラック性及び耐パッケージ剥離性を向上させることができる。

【0042】請求項7記載の発明によれば、個片基板の周縁部でかつ該個片基板とモールド樹脂との界面に接着シートを介装したことにより、耐パッケージクラック性及び耐パッケージ剥離性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法の第1実施形態を説明する図（その1）である。

【図2】本発明に係る半導体装置の製造方法の第1実施形態を説明する図（その2）である。図である。

【図3】本発明に係る半導体装置の製造方法の第1実施形態を説明する図（その3）である。

【図4】第1実施形態に係る製造方法によって得られる半導体装置の構造を説明する図である。

【図5】第1実施形態における貫通穴の他の形成例を説明する図である。

【図6】第1実施形態に係る製造方法の応用例を示す要部断面図である。

【図7】第1実施形態に係る製造方法の応用例によって得られる半導体装置の構造説明図である。

【図8】第1実施形態に係る製造方法の応用例の変形例

を説明する図である。

【図9】第1実施形態に係る製造方法の他の応用例を示す要部断面図である。

【図10】本発明に係る半導体装置の製造方法の第2実施形態を説明する図である。

【図11】本発明に係る半導体装置の製造方法の第3実施形態を説明する図である。

【図12】第3実施形態に係る製造方法によって得られる半導体装置の構造説明図である。

【図13】従来における樹脂封止方式の一例を説明する図である。

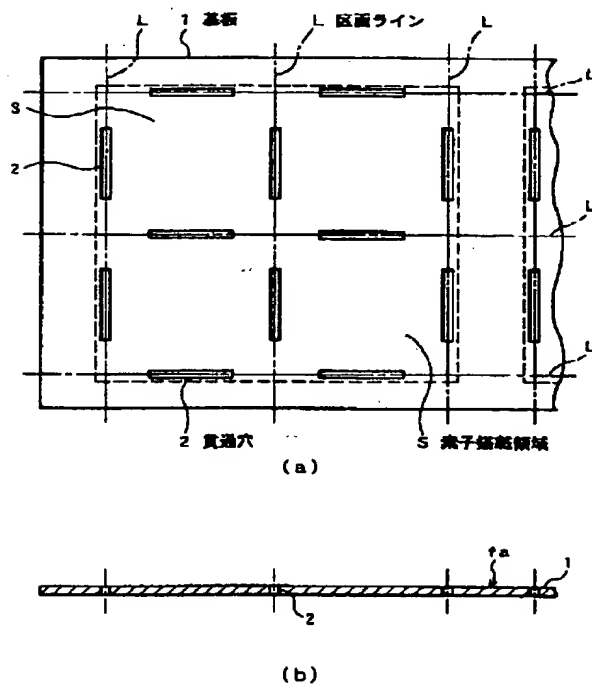
【図14】従来における樹脂封止方式の他の例を説明する図である。図である。

【図15】従来の樹脂封止方式によって得られる半導体装置の構造説明図である。

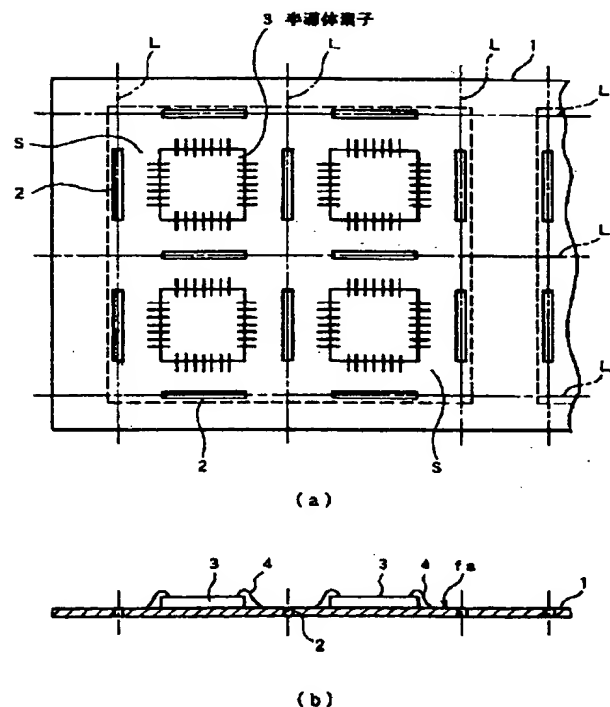
【符号の説明】

1…基板、1a…個片基板、2…貫通穴、2a…メッキ被膜、3…半導体素子、9…モールド樹脂、fa…素子搭載面、L…区画ライン、S…素子搭載領域

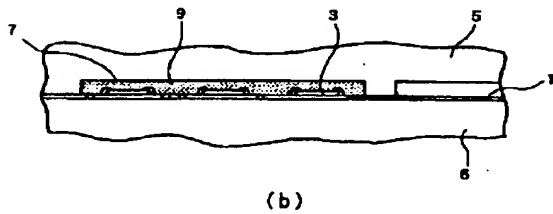
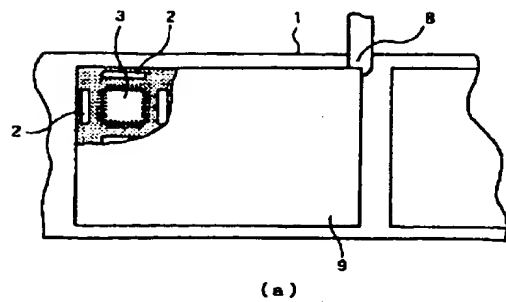
【図1】



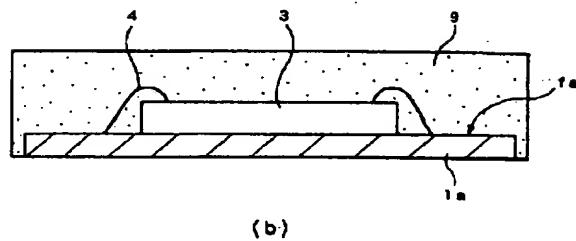
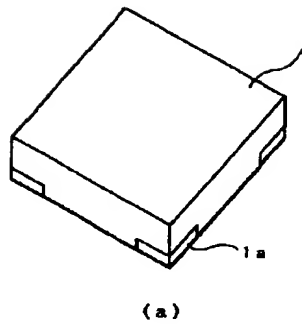
【図2】



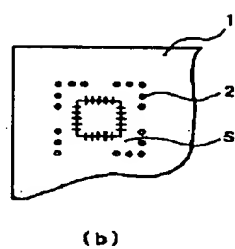
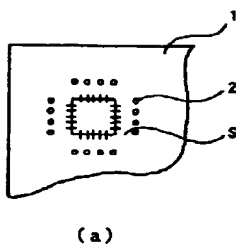
【図3】



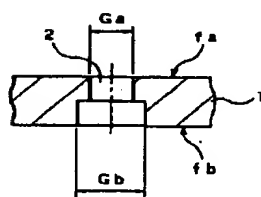
【図4】



【図5】

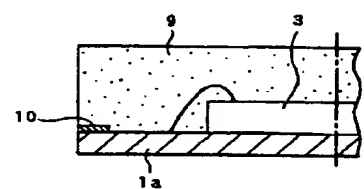


【図6】

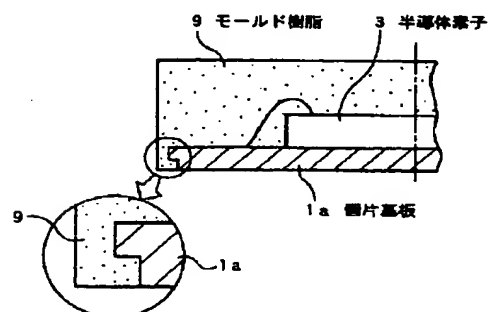
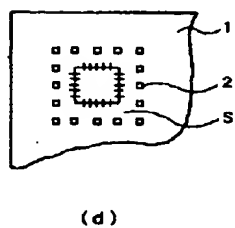
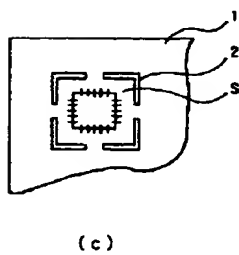


$$G_a < G_b$$

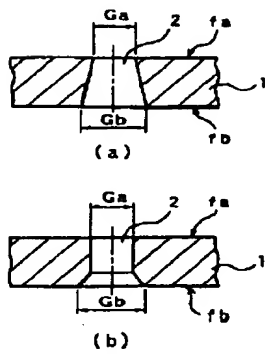
【図12】



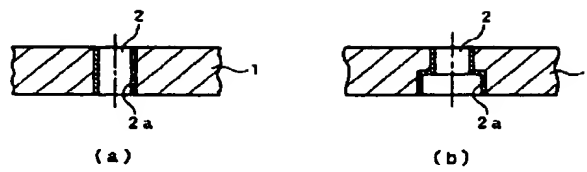
【図7】



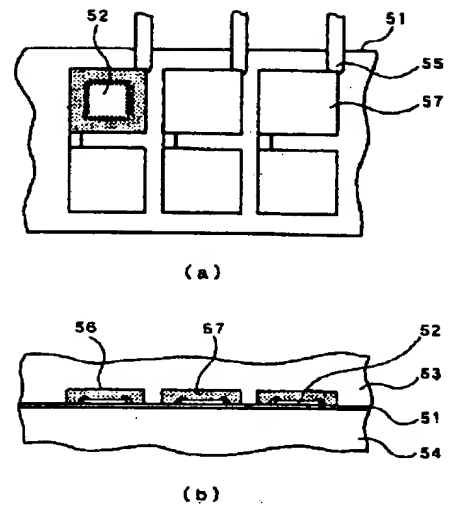
【図8】



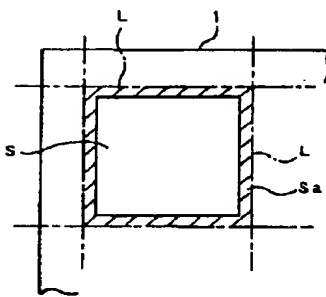
【図9】



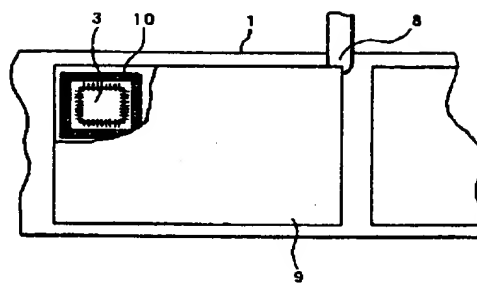
【図13】



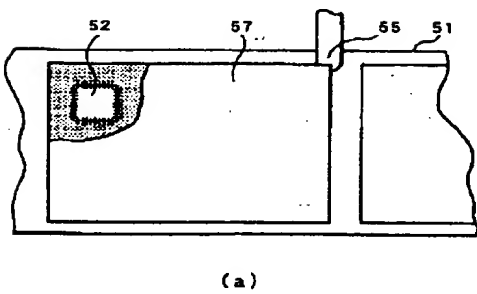
【図10】



【図11】



【図14】



【図15】

